

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 07-284024

(43) Date of publication of application : 27.10.1995

(51)Int.Cl.

H04N 5/335

H01L 27/146

(21) Application number : 06-069351

(71) Applicant : NIPPON HOSO KYOKAI <NHK>
MITSUBISHI ELECTRIC CORP

(22) Date of filing : 07.04.1994

(72) Inventor : ANDO FUMIHIKO
TANAKA KATSU
KAWASHIMA HIKARI
MURATA NAOFUMI

(54) SOLID-STATE IMAGE PICKUP ELEMENT

(57) Abstract:

PURPOSE: To suppress blooming at the time of high luminance object image pickup and to obtain improved images over the wide range of illuminance by discharging excessive charge generated in a photoelectric conversion element part from the source side of a MOS transistor for reset.

CONSTITUTION: In a storage mode in which a photoelectric conversion element 1 integrates signal charge generated by incident light, by the driver circuit 12b of a vertical scanning circuit 12, a power supply line 12c is turned to a high level VR (H), a 12d is turned to a low level potential VR (L) and a voltage equal to or more than a threshold value is applied through a vertical selection line 9 for reset to the gate of the MOS transistor 4 for reset serially connected to the photoelectric conversion element 1. Thus, the MOS transistor 4 for reset is turned to an ON state during a storage period, the excessive charge generated in the photoelectric conversion element 1 is discharged to the source side and the blooming is suppressed.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

CLAIMS

[Claim(s)]

[Claim 1] The 1st MOS transistor for reset which made the source field the optoelectric-transducer section, The 2nd MOS transistor for magnification read-out by which the gate was connected to the above-mentioned optoelectric-transducer section, In the solid state image pickup device equipped with two or more pixels which have the 3rd MOS transistor for pixel selection connected to the 2nd MOS transistor of the above at the serial The solid state image pickup device characterized by equipping the gate of the 1st MOS transistor of the above with a scan means to impress the electrical potential difference more than the threshold of this MOS transistor, at the time of the charge storage of the above-mentioned optoelectric-transducer section.

[Claim 2] The solid state image pickup device according to claim 1 characterized by constituting the 1st MOS transistor of the above from a depression transistor.

[Claim 3] The solid state image pickup device according to claim 1 with which channel concentration of the 1st MOS transistor of the above is characterized by being equal to the concentration of a substrate or a well.

[Claim 4] The solid state image pickup device according to claim 1 characterized by the gate length of the 1st MOS transistor of the above consisting of minimum line width.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the improvement of a magnification read-out mold solid state image pickup device about a solid state image pickup device.

[0002]

[Description of the Prior Art] Conventionally, in connection with horizontal high-resolution-izing and densification, the area per pixel in image sensors reduces image sensors, and the quantity of light which carries out incidence to per pixel is decreasing. Therefore, the reinforcement of the signal by which reading appearance is carried out from image sensors fell, and lowering of a S/N ratio (S is a signal and N is a noise) is caused. In order to conquer such a problem, it is thought desirable to use the image sensors of a magnification read-out mold.

[0003] Drawing 9 is the circuit diagram showing a typical example of the conventional magnification read-out mold image sensors. While these image sensors are equipped with two or more the optoelectric transducer 1 formed by the PN junction, MOS transistors 2 for magnification read-out, MOS transistors 3 for pixel selection by which the gate was connected to the vertical selection line, and MOS transistors 4 for reset of an optoelectric transducer 1 as 1 pixel Those functional devices 1-4 To the included pixel, a power source The level power-source line 5 to supply and the pixel arranged perpendicularly The I/V conversion amplifier 10 for changing into an electrical potential difference MOS transistor 8 for level selection for choosing the vertical selection line 6 for choosing, the vertical signal line 7 arranged perpendicularly, and the pixel arranged horizontally, the level signal line 13, and the signal current, the horizontal scanning circuit 11, And it has the vertical-scanning circuit 12.

[0004] Drawing 10 is a circuit diagram for explaining actuation of one pixel of the arbitration of the image sensors shown in drawing 9. In addition, although the vertical selection line 9 for reset was shared with the vertical selection line 6 of the following line with the configuration of drawing 9 mentioned above in order to reduce the number of wiring arranged in a pixel array and to raise a degree of integration The signal in each location which separated and showed the vertical selection line 9 for reset and the vertical selection line 6 of the following line, and was expressed with various reference marks is expressed with the configuration of drawing 10 using the same reference mark as drawing 9.

[0005] Moreover, drawing 11 is a timing chart for explaining actuation of the 1-pixel circuit shown in drawing 10. In drawing 11, period 1H are 1 level period in the usual television method, and a horizontal blanking interval and period Read-out are equivalent to a signal read-out period for period H-BLK. Moreover, the clock V1 and the clock H1 express typically the clock supplied to the vertical-scanning circuit 12 and the horizontal scanning circuit 11, respectively.

[0006] In the time of day T0 shown in drawing 11, potential of the level power-source line 5 shown by the vertical selection line 6 shown by VS and VL is now made high-level, and MOS transistor 2 for magnification read-out and MOS transistor 3 for vertical selection have become switch-on. Since the outgoing end of an optoelectric transducer 1 is connected to the gate electrode of above-mentioned MOS transistor 2 for magnification read-out, MOS transistor 2 for magnification read-out is switch-on with the impedance depending on the output potential Vpd of an optoelectric transducer 1. Then, the signal current Isig corresponding to [if the i-th output signal Hi from the horizontal scanning circuit 11 will become high-level and MOS transistor 8 for level selection will be in switch-on in the time of day T1 in read-out period Read-out, the vertical signal line 7 will

be electrically connected to the I/V conversion amplifier 10, and] the output potential V_{pd} of an optoelectric transducer 1 Reading appearance will be carried out as a voltage signal.

[0007] It is voltage-level V_{reset} to which an optoelectric transducer 1 is supplied from the level power-source line 5 through MOS transistor 3 for vertical selection, and MOS transistor 4 for reset by the potential of the vertical selection line 9 for reset shown by VR becoming high-level in the time of day T2 within the next horizontal blanking interval. It is reset. And an optoelectric transducer 1 goes into the are recording mode in which it integrates with the signal charge generated depending on incident light, from time-of-day T3 within the next horizontal blanking interval.

[0008]

[Problem(s) to be Solved by the Invention] Since the conventional magnification mold image sensors are constituted as mentioned above, the area per pixel in image sensors is reduced and high integration is attained, at the time of a high brightness photographic subject image pick-up The signal charge generated in a pixel by excessive incident light became superfluous, and there was a trouble that the superfluous charge spoiled image quality to a contiguity pixel also at a part for overflow and the picture element part by which light originally is not irradiated according to the so-called blooming phenomenon as if, as for close, light was needed.

[0009] This invention was made in order to cancel the above troubles, it controls the blooming at the time of a high brightness photographic subject image pick-up, and aims at obtaining the solid state image pickup device with which a good image is obtained in a wide range illuminance.

[0010]

[Means for Solving the Problem] The 1st MOS transistor for reset to which the solid state image pickup device concerning claim 1 of this invention made the source field the optoelectric-transducer section, The 2nd MOS transistor for magnification read-out by which the gate was connected to the above-mentioned optoelectric-transducer section, In the solid state image pickup device equipped with two or more pixels which have the 3rd MOS transistor for pixel selection connected to the 2nd MOS transistor of the above at the serial It is characterized by equipping the gate of the 1st MOS transistor of the above with a scan means to impress the electrical potential difference more than the threshold of this MOS transistor, at the time of the charge storage of the above-mentioned optoelectric-transducer section.

[0011] Moreover, the solid state image pickup device concerning claim 2 is characterized by constituting the 1st MOS transistor of the above from a depression transistor.

[0012] Moreover, the solid state image pickup device concerning claim 3 is characterized by the channel concentration of the 1st MOS transistor of the above being equal to the concentration of a substrate or a well.

[0013] Furthermore, the solid state image pickup device concerning claim 4 is characterized by the gate length of the 1st MOS transistor of the above consisting of minimum line width.

[0014]

[Function] In the solid state image pickup device concerning claim 1 of this invention With a scan means, by impressing the electrical potential difference more than the threshold of this MOS transistor to the gate of the 1st MOS transistor for reset at the time of the charge storage of the optoelectric-transducer section A blooming is controlled, as during an are recording period changes the 1st MOS transistor for resetting the optoelectric-transducer section into ON condition and the superfluous charge generated in the optoelectric-transducer section is drawn out from the source side of the 1st MOS transistor for reset.

[0015] Moreover, in the solid state image pickup device concerning claim 2, by constituting the 1st MOS transistor of the above from a depression transistor, the electrical potential difference impressed to the gate can be made into a grand level, and it becomes possible to make the power-source line unnecessary.

[0016] Moreover, in the solid state image pickup device concerning claim 3, by making channel concentration of the 1st MOS transistor of the above equal to the concentration of a substrate or a well, a threshold electrical potential difference can be decided by the concentration, and reset dispersion is reduced.

[0017] Furthermore, in the solid state image pickup device concerning claim 4, the cutback of a pixel dimension is enabled by constituting the gate length of the 1st MOS transistor of the above from minimum line width.

[0018]

[Example]

The example 1 of this invention is explained about drawing below example 1. First, although it has the same configuration as the 1-pixel circuit shown in the configuration and drawing 10 of the image sensors shown in drawing 9 concerning the conventional example in this example 1 In the circuit diagram shown in drawing 10 , the circuitry of the output section of the vertical selection line 9 for reset in the vertical-scanning circuit 12 differs. By impressing the electrical potential difference more than the threshold of this MOS transistor 4 to the gate of MOS transistor 4 for reset at the time of the charge storage of an optoelectric transducer 1 A blooming is controlled, as during an are recording period changes MOS transistor 4 for reset of an optoelectric transducer 1 into ON condition and the superfluous charge generated in the optoelectric transducer 1 is drawn out

from the source side of MOS transistor 4 for reset.

[0019] That is, drawing 1 is circuitry drawing showing the output section of the vertical selection line 9 for reset in the vertical-scanning circuit 12 in a detail in 1-pixel circuitry drawing which is applied to an example 1 and shown in drawing 10. In drawing 1, the MOS transistor for pixel selection to which 1 thru/12 showed the same part as drawing 10, as for the optoelectric transducer in which 1 was formed by the PN junction, and 2, the MOS transistor for magnification read-out was connected to the vertical selection line, and, as for 3, the gate was connected, and 4 are the MOS transistors for reset of an optoelectric transducer 1, and constitute 1 pixel of image sensors by these. Moreover, the level power-source line which supplies a power source to the pixel in which 5 contains those functional devices 1-4, A vertical selection line for 6 to choose the pixel arranged perpendicularly, the vertical signal line with which 7 has been arranged perpendicularly, The MOS transistor for level selection for 8 to choose the pixel arranged horizontally, As for a horizontal scanning circuit and 12, I/V conversion amplifier for 10 to change the signal current into an electrical potential difference and 11 are [a vertical-scanning circuit and 13] level signal lines. As circuitry of the output section of the vertical selection line 9 for reset in the above-mentioned vertical-scanning circuit 12 The shift register with which 12a sends out a shift pulse, the driver circuit where 12b becomes with the inverter of the p channel MOS transistor Qp and the n channel MOS transistor Qn, It is the 2nd power-source line for supplying the 1st power-source line for 12c supplying the high-level potential VR (H) to the vertical selection line 9 for reset, and 12d (L) of potentials VR of a low level to the above-mentioned vertical selection line 9 for reset. The potential of this 2nd power-source line VR (L) is set up more than the threshold of MOS transistor 4 for reset.

[0020] Moreover, drawing 2 is a timing chart for explaining actuation of an example 1, and drawing 3 shows the cross section and potential flow chart of MOS transistor 4 for reset for explaining actuation of an example 1, and explains hereafter actuation of the image sensors which start an example 1 with reference to drawing 2 and drawing 3. In addition, in drawing 2, period 1H are 1 level period in the usual television method, and a horizontal blanking interval and period Read-out are equivalent to a signal read-out period for period H-BLK. Moreover, the clock V1 and the clock H1 express typically the clock supplied to the vertical-scanning circuit 12 and the horizontal scanning circuit 11, respectively. Moreover, in drawing 3, (A) is the cross section of MOS transistor 4 for reset, gate 4a of MOS transistor 4 for reset is connected to the vertical selection line 9 for reset, drain 4b is connected to the level power-source line 5, respectively, and the source field has become an optoelectric transducer 1. Moreover, 4c shows the substrate.

[0021] It is voltage-level Vreset to which it operates in drawing 2 now like [time of day T0 to T2] the conventional example, and an optoelectric transducer 1 is supplied from the level power-source line 5. It is reset (refer to drawing 3 (D)). That is, in the time of day T0 shown in drawing 2, potential of the level power-source line 5 shown by the vertical selection line 6 shown by VS and VL is made high-level, and MOS transistor 2 for magnification read-out and MOS transistor 3 for vertical selection have become switch-on. Since the outgoing end of an optoelectric transducer 1 is connected to the gate electrode of above-mentioned MOS transistor 2 for magnification read-out, MOS transistor 2 for magnification read-out is switch-on with the impedance depending on the output potential Vpd of an optoelectric transducer 1.

[0022] Then, the signal current Isig corresponding to [if the i-th output signal Hi from the horizontal scanning circuit 11 will become high-level and MOS transistor 8 for level selection will be in switch-on in the time of day T1 in read-out period Read-out, the vertical signal line 7 will be electrically connected to the I/V conversion amplifier 10 and] the output potential Vpd of an optoelectric transducer 1 Reading appearance will be carried out as a voltage signal. It is voltage-level Vreset to which an optoelectric transducer 1 is supplied from the level power-source line 5 through MOS transistor 3 for vertical selection, and MOS transistor 4 for reset by the potential of the vertical selection line 9 for reset shown by VR becoming high-level in the time of day T2 within the next horizontal blanking interval. It is reset.

[0023] And an optoelectric transducer 1 goes into the are recording mode in which it integrates with the signal charge generated depending on incident light, from time-of-day T3 (refer to drawing 3 (B)). When setting a SURESHI hold (threshold) electrical potential difference when the backgate of MOS transistor 4 for reset is not impressed at this time to Vthr (O), the potential potential of gate 4a of MOS transistor 4 for reset is set as the potential of the low level VR of the vertical selection line 9 for reset (L) so that it may be set to $VR(L) > Vthr (O)$. As shown in drawing 1, namely, the potential of the vertical selection line 9 for reset By driver circuit 12b which becomes with an inverter, to the timing reversed to the n+1st shift pulses of shift register 12a It becomes the high-level potential VR of 1st power-source line 12c (H), and the potential VR of the low level of 12d of 2nd power-source line (L). At the time of are recording mode The electrical potential difference more than the potential VR of the low level set up by 12d of 2nd power-source line (L), i.e., the threshold electrical potential difference of MOS transistor 4 for reset, is impressed to the gate of MOS transistor 4 for reset.

[0024] therefore, the potential potential of an optoelectric transducer 1, i.e., source potential ϕ_{iPD} of MOS transistor 4 for reset $\phi_{iPD} > VR(L) - Vthr (\phi_{iPD})$ ($Vthr (\phi_{iPD})$) At the time of the SURESHI hold electrical potential difference at the time of backgate impression If the usual are recording actuation is performed and it is set to $\phi_{iPD} < VR(L) - Vthr (\phi_{iPD})$ in order to cut off MOS transistor 4 for reset turn on MOS transistor 4 for reset, and a superfluous charge should lengthen to drain 4b, and

blunder to it. When MOS transistor 4 for reset works as an overflow drain, (drawing 3 (c) and referring to [of drawing 2] the time-of-day T four), and a superfluous charge do not spread to a contiguity pixel, and a blooming is controlled.

[0025] Here, the amount Q_{max} of the maximum stored charge of an optoelectric transducer 1 is $\{V_{reset} - (decided by VR(L) - V_{thr}(L))/CPD.\}$

CPD; V_{thr} which fills capacity $V_{thr}(L)$; $\phi_{IPD} = VR(L) - V_{thr}$ (ϕ_{IPD}) of an optoelectric transducer 1 (ϕ_{IPD})

[0026] According to the above-mentioned example 1, to therefore, the gate of MOS transistor 4 for reset which carried out the series connection to the optoelectric transducer 1 at the time of are recording mode Since it was made to impress the electrical potential difference more than the threshold electrical potential difference of MOS transistor 4 for reset set up by 12d of 2nd power-source line During an are recording period changes MOS transistor 4 for reset into ON condition, as the superfluous charge generated in the optoelectric transducer 1 is drawn out to the source side of MOS transistor 4 for reset, a blooming is controlled, and a good image is obtained in a wide range illuminance.

[0027] Example 2., next an example 2 are explained. The part as the example 1 which shows the 1-pixel circuit diagram concerning an example 2, and is shown in drawing 10 with the same drawing 4 attaches the same sign, and the explanation is omitted. In the 1-pixel circuit diagram concerning this example 2 As shown in drawing 4 , the gate of MOS transistor 4 for reset is connected to the level power-source line 5 shown by VL, and it differs in that the vertical selection line 9 for reset was excluded to the configuration of the example 1 shown in drawing 10 . By vertical-scanning circuit 12A He is trying to impress the electrical potential difference more than a threshold to the gate of MOS transistor 4 for reset like an example 1 through the horizontal scanning line 5 at the time of the charge storage of an optoelectric transducer 1.

[0028] That is, drawing 5 is circuitry drawing showing the output section of the level power-source line 5 in the above-mentioned vertical-scanning circuit 12A. In drawing 5 , the shift register with which 12Aa sends out a shift pulse, and 12Ab The serial object of the inverter and the n channel MOS transistor Qn2 which become with the 1st mentioned later, the p channel MOS transistor Qp1 prepared between the 2nd power-source line, and the n channel MOS transistor Qn1, It is the driver circuit which has the p channel MOS transistor Qp2 prepared between the output terminals 5 of the 2nd power-source line mentioned later and the above-mentioned inverter, i.e., a level power-source line. Moreover, the 1st power-source line for 12Ac to supply the high-level potential VL (H) to the level power-source line 5, The 2nd power-source line for 12Ad(s) to supply the potential VL of a low level (L) to the above-mentioned level power-source line 5 and 12Ae show the 3rd power-source line for supplying the potential VL of middle level (M) to the above-mentioned level power-source line 5. Here The potential VL of the middle level of power-source line 12Ae of the above 3rd (M) is set as the supply voltage in signal read-out more than the threshold of MOS transistor 4 for reset.

[0029] Moreover, drawing 6 is a timing chart for explaining actuation of an example 2, and drawing 7 shows the cross section and potential flow chart of MOS transistor 4 for reset for explaining actuation of an example 2, and explains hereafter actuation of the image sensors which start an example 2 with reference to drawing 6 and drawing 7 . In addition, in drawing 6 , period 1H are 1 level period in the usual television method, and a horizontal blanking interval and period Read-out are equivalent to a signal read-out period for period H-BLK. Moreover, the clock V1 and the clock H1 express typically the clock supplied to the vertical-scanning circuit 12 and the horizontal scanning circuit 11, respectively. Moreover, in drawing 7 , (A) is the cross section of MOS transistor 4 for reset, gate 4a and drain 4b of MOS transistor 4 for reset are connected to the level power-source line 5, and the source field has become an optoelectric transducer 1. Moreover, 4c shows the substrate.

[0030] Now, in drawing 6 , it operates like the conventional example. That is, in time of day T2, if the potential of the level power-source line 5 becomes high-level, potential potential ϕ_{IPD} of an optoelectric transducer 1 will be reset by $\phi_{IPD} = VL(H) - V_{thr}(H)$ (refer to drawing 7 (D)). And it goes into are recording mode like [T3 / time-of-day] an example 1 (refer to drawing 7 (C)). At this time, the potential potential of gate 4a of MOS transistor 4 for reset is set as the potential of the low level of the level power-source line 5 shown by VL so that it may be set to $VL(L) > V_{thr}(O)$. It was referred to as $VL(L) = VL(M)$ in this example 2. The middle level VL (M) is time of day T0 and the supply voltage in signal read-out of T 1:00.

[0031] As shown in drawing 1 , namely, the potential of the level power-source line 6 By driver circuit 12Ab, to the timing reversed to the n+1st shift pulses of shift register 12Aa It becomes the 1st high-level potential VL of power-source line 12Ac (H), and the potential VL of the 3rd middle level of power-source line 12Ae (M). At the time of are recording mode The supply voltage in signal read-out more than the potential VL of the middle level set up by 3rd power-source line 12Ae (M), i.e., the threshold electrical potential difference of MOS transistor 4 for reset, is impressed to the gate of MOS transistor 4 for reset.

[0032] Therefore, at the time of $\phi_{IPD} > VL(L) - V_{thr}$ (ϕ_{IPD}), MOS transistor 4 for reset is cut off and the usual are recording actuation is performed. when it comes to $\phi_{IPD} < VL(L) - V_{thr}$ (ϕ_{IPD}), turn on MOS transistor 4 for reset, lengthen a superfluous charge to drain 4b, and blunder to it -- MOS transistor 4 for reset works as an overflow drain (refer to time-of-day T four shown in drawing 7 (C) and drawing 6).

[0033] Here, the amount Q_{max} of the maximum stored charge of an optoelectric transducer 1 is $\{(VL(H) - V_{thr}(H)) - (decided by VL(M) - V_{thr}(M))/CPD.\}$

V_{thr} which fills $V_{thr}(H); \phi_{IPD} = V_R(H) - V_{thr}(\phi_{IPD})$ (ϕ_{IPD})

[0034] According to the above-mentioned example 2, to therefore, the gate of MOS transistor 4 for reset which carried out the series connection to the optoelectric transducer 1 at the time of are recording mode Since it was made to impress the electrical potential difference more than the threshold electrical potential difference of MOS transistor 4 for reset set up by 3rd power-source line 12Ae Like an example 1, as during an are recording period changes MOS transistor 4 for reset into ON condition and the superfluous charge generated in the optoelectric transducer 1 is drawn out to the source side of MOS transistor 4 for reset, a blooming is controlled, and a good image is obtained in a wide range illuminance.

[0035] example 3. -- in this example 3, it plans making unnecessary the power-source line linked to that gate by using as a depression transistor MOS transistor 4 for reset of an example 1 and an example 2 shown in drawing 10 and drawing 4 . Usually, the SURESHI hold electrical potential difference V_{th} of an MOS transistor (O) expects the noise margin etc., and, in the case of the NMOS transistor, is set as $V_{th}(O) > 0$. Therefore, as drawing 10 and drawing 2 showed, although another power source is required, the low level $V_R(L)$ and V_L of the vertical selection line 9 for reset and the level power-source line 5 (L) the low level of the vertical selection line 6 etc., respectively $V_{thr} \text{ If } (O) < 0$ [4], i.e., the MOS transistor for reset, is used as a depression transistor, the low level $V_R(L)$ and V_L of the vertical selection line 9 for reset and the level power-source line 5 (L) can be made into a grand level, and the power-source line can be made unnecessary.

[0036] It sets in example 4. and the above-mentioned examples 1 and 2, and is the SURESHI hold electrical potential difference V_{thr} of MOS transistor 4 for reset. (O) Since it may be smaller than $V_{th}(O)$ of other MOS transistors, as MOS transistor 4 for reset The thing of the minimum effective gate length L , such as a short channel effect, can be considered as an activity, and in this example 4, as MOS transistor 4 for reset in the above-mentioned examples 1 and 2, when gate length uses the thing of minimum line width, the cutback of a pixel dimension can be enabled.

[0037] He is trying to plan the reduction effectiveness of reset variation in example 5. and this example 5 by making channel concentration of MOS transistor 4 for reset in the above-mentioned examples 1 and 2 equal to the concentration of a substrate or a well. That is, in order that $V_{th}(O)$ of the usual MOS transistor may give a margin, although acceptor concentration under the gate is made deeper than substrate (well) concentration, by an ion implantation etc., the margin of $V_{thr}(O)$ is unnecessary, it is being able to decide $V_{thr}(O)$ of MOS transistor 4 for reset by substrate (well) concentration, and deciding by substrate (well) concentration, and there is effectiveness of being able to reduce reset variation.

[0038] The same effectiveness is done so although PMOS is sufficient although the above-mentioned examples 1-5 showed the case which is example 6. where an MOS transistor was constituted from an NMOS, and a polarity is opposing in that case.

[0039] Example 7., next drawing 8 show another embodiment of this invention. In drawing 8 , it has the configuration which has stationed perpendicularly the 1st group who added MOS transistor 14 for pixel mixing to the circuit elements 1-6 which constitute the pixel of the example 2 which 14 and 15 showed the MOS transistor for pixel mixing, and 16 showed the vertical selection line for pixel mixing (VT), and was shown in drawing 4 , and the 2nd group who consists of an optoelectric transducer 1, MOS transistor 15 for pixel mixing, and a vertical selection line 16 for pixel mixing by turns.

[0040] In this circuitry, the transistor 14 (after a field switch is the transistor 15 for pixel mixing) for pixel mixing is turned on after are recording, after mixing the signal charge accumulated in the optoelectric transducer 1 of the 1st and the 2nd group, a signal is read like an example 2 and a reset action is performed. It sets in this embodiment as well as an example 2, and is $V_L(L) > V_{thr}$ at the time of are recording. The same effectiveness as examples 1 and 2 is done so by setting up the low level of the level power-source line 5 so that it may be set to (O).

[0041]

[Effect of the Invention] As mentioned above, the 1st MOS transistor for reset which made the source field the optoelectric-transducer section according to claim 1 of this invention, The 2nd MOS transistor for magnification read-out by which the gate was connected to the above-mentioned optoelectric-transducer section, In the solid state image pickup device equipped with two or more pixels which have the 3rd MOS transistor for pixel selection connected to the 2nd MOS transistor of the above at the serial Since the gate of the 1st MOS transistor for reset was equipped with a scan means to impress the electrical potential difference more than the threshold of this MOS transistor, at the time of the charge storage of the above-mentioned optoelectric-transducer section During an are recording period changes the 1st MOS transistor for resetting the above-mentioned optoelectric-transducer section into ON condition. As the superfluous charge generated in the optoelectric-transducer section is drawn out from the source side of the 1st MOS transistor for reset, a blooming can be controlled, and it is effective in the ability to obtain a good image in a wide range illuminance.

[0042] Moreover, according to claim 2, it is effective in the ability to make into a grand level the electrical potential difference impressed to the gate, and make the power-source line unnecessary by constituting the 1st MOS transistor of the above from a depression transistor.

[0043] Moreover, according to claim 3, by making channel concentration of the 1st MOS transistor of the above equal to the concentration of a substrate or a well, a threshold electrical potential difference can be decided by the concentration, and it is

effective in the ability to reduce reset dispersion.

[0044] Furthermore, according to claim 4, there is effectiveness of the ability to make a pixel dimension reduce by constituting the gate length of the 1st MOS transistor of the above from minimum line width.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is for explaining the solid state image pickup device concerning the example 1 of this invention, and is circuitry drawing of the output section of the vertical selection line 9 for reset in the vertical-scanning circuit 12.

[Drawing 2] It is a timing chart explaining actuation of the solid state image pickup device concerning the example 1 of this invention.

[Drawing 3] It is the cross section and potential flow drawing of a solid state image pickup device concerning the example 1 of this invention.

[Drawing 4] It is for explaining the solid state image pickup device concerning the example 2 of this invention, and is 1-pixel circuitry drawing.

[Drawing 5] It is for explaining the solid state image pickup device concerning the example 2 of this invention, and is circuitry drawing showing the output section of the level power-source line 5 in vertical-scanning circuit 12A shown in drawing 4.

[Drawing 6] It is a timing chart explaining actuation of the solid state image pickup device concerning the example 2 of this invention.

[Drawing 7] It is the cross section and potential flow drawing of a solid state image pickup device concerning the example 1 of this invention.

[Drawing 8] It is the block diagram of the example of application which has stationed perpendicularly the 1st group who added the MOS transistor for pixel mixing to the circuit which starts the example 7 of this invention and constitutes the pixel of an example 2, and the 2nd group who consists of an optoelectric transducer, an MOS transistor for pixel mixing, and a vertical selection line for pixel mixing by turns.

[Drawing 9] It is the circuit diagram showing the magnification read-out mold solid state image pickup device concerning this invention and the conventional example.

[Drawing 10] It is 1-pixel circuitry drawing of the solid state image pickup device concerning the example 1 and the conventional example of this invention.

[Drawing 11] It is a timing chart explaining actuation of the solid state image pickup device concerning the conventional example.

[Description of Notations]

1 Optoelectric Transducer, 2 MOS Transistor for Magnification Read-out, 3 MOS Transistor for Pixel Selection, 4 The MOS transistor for reset, 5 A level power-source line, 6 Vertical selection line, 7 A vertical signal line, 9 The vertical selection line for reset, 12 Vertical-scanning circuit, 12a A shift register, 12b A driver circuit, 12c The 1st power-source line, 12d The 2nd power-source line, 12A A vertical-scanning circuit, 12Aa A shift register, 12Ab A driver circuit, 12Ac The 1st power-source line, 12Ad The 2nd power-source line, 12Ae 3rd power-source line

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-284024

(43)公開日 平成7年(1995)10月27日

(51)Int.Cl.⁸

H 0 4 N 5/335

識別記号

P

E

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/146

H 0 1 L 27/ 14

A

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21)出願番号 特願平6-69351

(22)出願日 平成6年(1994)4月7日

特許法第30条第1項適用申請有り 1993年12月5日、ワシントン・ディー・シー発行の「1993年国際電子装置学会 I EDMテクニカル・ダイジェスト」に発表

(71)出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 安藤 文彦

東京都世田谷区砧一丁目10番11号 日本放送協会 放送技術研究所内

(72)発明者 田中 克

東京都世田谷区砧一丁目10番11号 日本放送協会 放送技術研究所内

(74)代理人 弁理士 曾我 道照 (外6名)

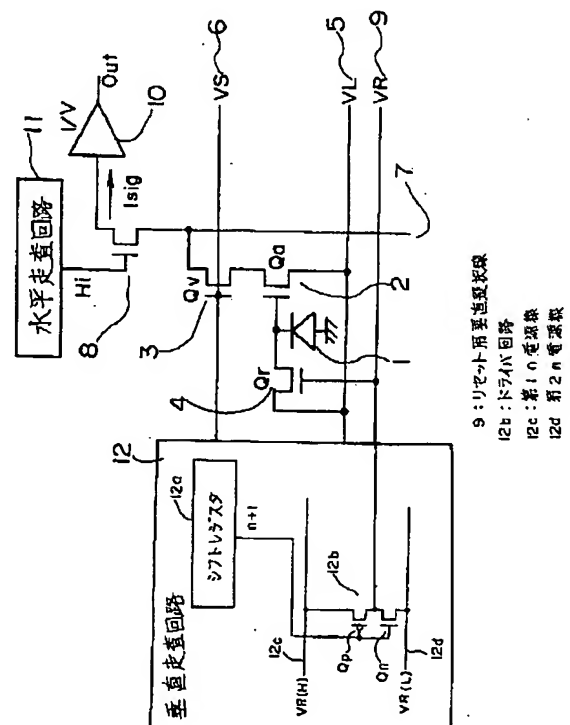
最終頁に続く

(54)【発明の名称】 固体撮像素子

(57)【要約】

【目的】 高輝度被写体撮像時のブルーミングを抑制し、広範囲の照度において良好な画像が得られる固体撮像素子を得る。

【構成】 光電変換素子にリセット用MOSトランジスタが直列に接続された増幅型固体撮像素子の垂直走査回路内リセット用垂直選択線の出力部として、シフトパルスを送出するシフトレジスタ12a、MOSトランジスタQpとMOSトランジスタQnとのインバータとなるドライバ回路12b、リセット用垂直選択線9にハイレベルの電位を供給するための第1の電源線12c、上記リセット用垂直選択線9にローレベルの電位を供給するための第2の電源線12dを備え、第2の電源線の電位をリセット用MOSトランジスタのしきい値以上に設定し、蓄積時にリセット用MOSトランジスタのゲートにしきい値以上の電圧を印加することで、横型のオーバーフロードレインとして働かせる。



【特許請求の範囲】

【請求項1】 ソース領域を光電変換素子部としたリセット用の第1のMOSトランジスタと、上記光電変換素子部にゲートが接続された増幅読出用の第2のMOSトランジスタと、上記第2のMOSトランジスタに直列に接続された画素選択用の第3のMOSトランジスタとを有する画素を複数備えた固体撮像素子において、上記光電変換素子部の電荷蓄積時に、上記第1のMOSトランジスタのゲートに該MOSトランジスタのしきい値以上の電圧を印加する走査手段を備えたことを特徴とする固体撮像素子。

【請求項2】 上記第1のMOSトランジスタをディプレッショントランジスタで構成したことを特徴とする請求項1記載の固体撮像素子。

【請求項3】 上記第1のMOSトランジスタのチャネル濃度が基板またはウェルの濃度と等しいことを特徴とする請求項1記載の固体撮像素子。

【請求項4】 上記第1のMOSトランジスタのゲート長が最小線幅で構成されていることを特徴とする請求項1記載の固体撮像素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、固体撮像素子に関し、特に、増幅読出型固体撮像素子の改善に関するものである。

【0002】

【従来の技術】 従来、イメージセンサは、水平方向の高解像度化及び高密度化にともなって、イメージセンサ中の1画素当たりの面積が縮小し、1画素当たりに入射する光量が減少している。したがって、イメージセンサから読み出される信号の強度が低下し、 S/N 比（ S は信号、 N はノイズ）の低下を招いている。このような問題を克服するために、増幅読出型のイメージセンサを用いることが望ましいと考えられている。

【0003】 図9は従来の増幅読出型イメージセンサの典型的な一例を示す回路図である。このイメージセンサは、例えばPN接合で形成された光電変換素子1、増幅読出用MOSトランジスタ2、垂直選択線にゲートが接続された画素選択用MOSトランジスタ3、及び光電変換素子1のリセット用MOSトランジスタ4を1画素として複数備えると共に、それらの機能素子1～4を含む画素に電源を供給する水平電源線5、垂直方向に配列された画素を選択するための垂直選択線6、垂直方向に配置された垂直信号線7、水平方向に配列された画素を選択するための水平選択用MOSトランジスタ8、水平信号線13、信号電流を電圧に変換するための I/V 変換アンプ10、水平走査回路11、および垂直走査回路12を備えている。

【0004】 図10は図9に示すイメージセンサの任意の1つの画素の動作を説明するための回路図である。た

お、上述した図9の構成では、画素アレイ内に配置される配線数を減らして集積度を高めるために、リセット用垂直選択線9を、次の行の垂直選択線6と共用していたが、図10の構成では、リセット用垂直選択線9と次の行の垂直選択線6とを分離して示し、また、種々の参照符号で表されたそれぞれの位置における信号は図9と同一の参照符号を用いて表す。

【0005】 また、図11は図10に示す1画素の回路の動作を説明するためのタイミングチャートである。図11において、期間1Hは通常のテレビ方式における1水平期間であって、期間H-BLKは水平帰線期間、期間Read-outは信号読出期間に相当する。また、クロックV1およびクロックH1は、それぞれ垂直走査回路12および水平走査回路11に供給されるクロックを模式的に表している。

【0006】 今、図11に示す時刻T0においては、V_Sで示す垂直選択線6とV_Lで示す水平電源線5の電位がハイレベルにされており、増幅読出用MOSトランジスタ2と垂直選択用MOSトランジスタ3が導通状態になっている。上記増幅読出用MOSトランジスタ2のゲート電極には光電変換素子1の出力端が接続されているので、増幅読出用MOSトランジスタ2は光電変換素子1の出力電位V_{pd}に依存するインピーダンスで導通状態になっている。その後、読出期間Read-out内の時刻T1において、水平走査回路11からのi番目の出力信号H_iがハイレベルになって水平選択用MOSトランジスタ8が導通状態になれば、垂直信号線7が I/V 変換アンプ10へ電気的に接続され、光電変換素子1の出力電位V_{pd}に対応した信号電流I_{sig}が電圧信号として読み出されることになる。

【0007】 次の水平帰線期間内の時刻T2においては、V_Rで示すリセット用垂直選択線9の電位がハイレベルになり、光電変換素子1は、垂直選択用MOSトランジスタ3、リセット用MOSトランジスタ4を通して水平電源線5から供給される電圧レベルV_{reset}にリセットされる。そして、次の水平帰線期間内の時刻T3から、光電変換素子1は入射光に依存して発生する信号電荷を積分する蓄積モードに入る。

【0008】

【発明が解決しようとする課題】 従来の増幅型イメージセンサは以上のように構成されており、イメージセンサ中の1画素当たりの面積が縮小されて高集積化が図られているので、高輝度被写体撮像時には、過大な入射光によって画素中に発生する信号電荷が過剰となり、その過剰電荷が隣接画素にあふれ、本来、光の照射されていない画素部分にも光が入っているかのような、いわゆるブルーミング現象によって画質を損なうという問題点があった。

【0009】 この発明は、上記のような問題点を解消するためになされたもので、高輝度被写体撮像時のブルー

ミングを抑制し、広範囲の照度において良好な画像が得られる固体撮像素子を得ることを目的とする。

【0010】

【課題を解決するための手段】この発明の請求項1に係る固体撮像素子は、ソース領域を光電変換素子部としたリセット用の第1のMOSトランジスタと、上記光電変換素子部にゲートが接続された増幅読出用の第2のMOSトランジスタと、上記第2のMOSトランジスタに直列に接続された画素選択用の第3のMOSトランジスタとを有する画素を複数備えた固体撮像素子において、上記光電変換素子部の電荷蓄積時に、上記第1のMOSトランジスタのゲートに該MOSトランジスタのしきい値以上の電圧を印加する走査手段を備えたことを特徴とするものである。

【0011】また、請求項2に係る固体撮像素子は、上記第1のMOSトランジスタをディプレッショントランジスタで構成したことを特徴とするものである。

【0012】また、請求項3に係る固体撮像素子は、上記第1のMOSトランジスタのチャネル濃度が基板またはウェルの濃度と等しいことを特徴とするものである。

【0013】さらに、請求項4に係る固体撮像素子は、上記第1のMOSトランジスタのゲート長が最小線幅で構成されていることを特徴とするものである。

【0014】

【作用】この発明の請求項1に係る固体撮像素子においては、走査手段により、光電変換素子部の電荷蓄積時に、リセット用の第1のMOSトランジスタのゲートに該MOSトランジスタのしきい値以上の電圧を印加することにより、光電変換素子部をリセットするための第1のMOSトランジスタを蓄積期間中もON状態にし、光電変換素子部で発生した過剰電荷をリセット用の第1のMOSトランジスタのソース側より引き抜くようにして、ブルーミングを抑制する。

【0015】また、請求項2に係る固体撮像素子においては、上記第1のMOSトランジスタをディプレッショントランジスタで構成することにより、ゲートに印加する電圧をグランドレベルにすることができ、その電源線を不要とすることが可能となる。

【0016】また、請求項3に係る固体撮像素子においては、上記第1のMOSトランジスタのチャネル濃度を基板またはウェルの濃度と等しくすることにより、しきい値電圧をその濃度で決めることができ、リセットばらつきを低減させる。

【0017】さらに、請求項4に係る固体撮像素子においては、上記第1のMOSトランジスタのゲート長を最小線幅で構成することにより、画素寸法の縮小が可能とする。

【0018】

【実施例】

実施例1 以下、この発明の実施例1を図について説明

する。まず、この実施例1においては、従来例に係る図9に示すイメージセンサの構成及び図10に示す1画素の回路と同一の構成を備えるが、図10に示す回路図において、垂直走査回路12内のリセット用垂直選択線9の出力部の回路構成が異なり、光電変換素子1の電荷蓄積時に、リセット用MOSトランジスタ4のゲートに該MOSトランジスタ4のしきい値以上の電圧を印加することにより、光電変換素子1のリセット用MOSトランジスタ4を蓄積期間中もON状態にし、光電変換素子1で発生した過剰電荷をリセット用MOSトランジスタ4のソース側より引き抜くようにして、ブルーミングを抑制する。

【0019】すなわち、図1は実施例1に係るもので、図10に示す1画素の回路構成図において、垂直走査回路12内のリセット用垂直選択線9の出力部を詳細に示す回路構成図である。図1において、1ないし12は図10と同一部分を示し、1は例えばPN接合で形成された光電変換素子、2は増幅読出用MOSトランジスタ、3は垂直選択線にゲートが接続された画素選択用MOSトランジスタ、4は光電変換素子1のリセット用MOSトランジスタで、これらによりイメージセンサの1画素を構成する。また、5はそれらの機能素子1～4を含む画素に電源を供給する水平電源線、6は垂直方向に配列された画素を選択するための垂直選択線、7は垂直方向に配置された垂直信号線、8は水平方向に配列された画素を選択するための水平選択用MOSトランジスタ、10は信号電流を電圧に変換するためのI/V変換アンプ、11は水平走査回路、12は垂直走査回路、13は水平信号線であり、上記垂直走査回路12内のリセット用垂直選択線9の出力部の回路構成として、12aはシフトパルスを送出するシフトレジスタ、12bはpチャネルMOSトランジスタQpとnチャネルMOSトランジスタQnとのインバータでなるドライバ回路、12cはリセット用垂直選択線9にハイレベルの電位VR

(H)を供給するための第1の電源線、12dは上記リセット用垂直選択線9にローレベルの電位VR(L)を供給するための第2の電源線で、この第2の電源線VR(L)の電位は、リセット用MOSトランジスタ4のしきい値以上に設定されている。

【0020】また、図2は実施例1の動作を説明するためのタイミングチャートであり、図3は実施例1の動作を説明するためのリセット用MOSトランジスタ4の断面模式図とポテンシャルフローチャートを示すもので、以下、図2及び図3を参照して実施例1に係るイメージセンサの動作を説明する。なお、図2において、期間1Hは通常のテレビ方式における1水平期間であって、期間H-BLKは水平帰線期間、期間Read-outは信号読出期間に相当する。また、クロックV1およびクロックH1は、それぞれ垂直走査回路12および水平走査回路11に供給されるクロックを模式的に表している。ま

た、図3において、(A)はリセット用MOSトランジスタ4の断面模式図で、リセット用MOSトランジスタ4のゲート4aはリセット用垂直選択線9に、ドレイン4bは水平電源線5にそれぞれ接続され、ソース領域は光電変換素子1になっている。また、4cは基板を示している。

【0021】今、図2において、時刻T0からT2までは従来例と同様に動作し、光電変換素子1は、水平電源線5から供給される電圧レベルVresetにリセットされる(図3(D)参照)。すなわち、図2に示す時刻T0においては、VSで示す垂直選択線6とVLで示す水平電源線5の電位がハイレベルにされており、増幅読出用MOSトランジスタ2と垂直選択用MOSトランジスタ3が導通状態になっている。上記増幅読出用MOSトランジスタ2のゲート電極には光電変換素子1の出力端が接続されているので、増幅読出用MOSトランジスタ2は光電変換素子1の出力電位Vpdに依存するインピーダンスで導通状態になっている。

【0022】その後、読出期間Read-out内の時刻T1において、水平走査回路11からのi番目の出力信号Hiがハイレベルになって水平選択用MOSトランジスタ8が導通状態になれば、垂直信号線7がI/V変換アンプ10へ電気的に接続され、光電変換素子1の出力電位Vpdに対応した信号電流Isigが電圧信号として読み出されることになる。次の水平帰線期間内の時刻T2においては、VRで示すリセット用垂直選択線9の電位がハイレベルになり、光電変換素子1は、垂直選択用MOSトランジスタ3、リセット用MOSトランジスタ4を通して水平電源線5から供給される電圧レベルVresetにリセットされる。

【0023】そして、時刻T3より、光電変換素子1は、入射光に依存して発生する信号電荷を積分する蓄積モードに入る(図3(B)参照)。この時、リセット用MOSトランジスタ4のゲート4aのポテンシャル電位は、リセット用MOSトランジスタ4のバックゲートが印加されていない時のスレシホールド(しきい値)電圧をVthr(O)とするとき、VR(L) > Vthr(O)となるように、リセット用垂直選択線9のローレベルVR(L)の電位に設定される。すなわち、図1に示されるように、リセット用垂直選択線9の電位は、インバータでなるドライバ回路12bによって、シフトレジスタ12aのn+1番目のシフトパルスに反転したタイミングで、第1の電源線12cのハイレベルの電位VR(H)と第2の電源線12dのローレベルの電位VR(L)となり、蓄積モード時は、第2の電源線12dによって設定されたローレベルの電位VR(L)、つまりリセット用MOSトランジスタ4のしきい値電圧以上の電圧がリセット用MOSトランジスタ4のゲートに印加される。

【0024】従って、光電変換素子1のポテンシャル電位、すなわち、リセット用MOSトランジスタ4のソー

ス電位φpdが、 $\phi_{pd} > V_R(L) - V_{thr}(\phi_{pd})$ (Vthr(φpd)は、バックゲート印加時のスレシホールド電圧)の時は、リセット用MOSトランジスタ4はカットオフするため、通常の蓄積動作が行われ、 $\phi_{pd} < V_R(L) - V_{thr}(\phi_{pd})$ となると、リセット用MOSトランジスタ4はONし、ドレイン4bへ過剰電荷が引き抜かれ、リセット用MOSトランジスタ4はオーバードレインとして働くことにより(図3(c)及び図2の時刻T4参照)、過剰電荷が隣接画素へ広がらずブルーミングが抑制される。

【0025】ここで、光電変換素子1の最大蓄積電荷量Qmaxは、 $\{V_{reset} - (V_R(L) - V_{thr}(L))\} / C_{pd}$ で決まる。

Cpd; 光電変換素子1の容量

Vthr(L); $\phi_{pd} = V_R(L) - V_{thr}(\phi_{pd})$ を満たすVthr(φpd)

【0026】従って、上記実施例1によれば、蓄積モード時に、光電変換素子1に直列接続したリセット用MOSトランジスタ4のゲートに、第2の電源線12dによって設定されたリセット用MOSトランジスタ4のしきい値電圧以上の電圧を印加するようにしたので、蓄積期間中もリセット用MOSトランジスタ4をON状態にし、光電変換素子1で発生した過剰電荷をリセット用MOSトランジスタ4のソース側に引き抜くようにしてブルーミングを抑制し、広範囲の照度において良好な画像が得られる。

【0027】実施例2. 次に、実施例2について説明する。図4は実施例2に係る1画素の回路図を示し、図10に示す実施例1と同一部分は同一符号を付し、その説明は省略する。この実施例2に係る1画素の回路図においては、図4に示すように、リセット用MOSトランジスタ4のゲートをVLで示される水平電源線5に接続し、図10に示す実施例1の構成に対し、リセット用垂直選択線9を省いた点が異なり、垂直走査回路12Aにより、光電変換素子1の電荷蓄積時に、水平走査線5を介して実施例1と同様にリセット用MOSトランジスタ4のゲートにしきい値以上の電圧を印加するようにしている。

【0028】すなわち、図5は上記垂直走査回路12A内の水平電源線5の出力部を示す回路構成図である。図5において、12Aaはシフトパルスを送出するシフトレジスタ、12Abは、後述する第1と第2の電源線間に設けられたpチャンネルMOSトランジスタQp1とnチャンネルMOSトランジスタQn1とでなるインバータとnチャンネルMOSトランジスタQn2との直列体と、後述する第2の電源線と上記インバータの出力端子、つまり水平電源線5との間に設けられたpチャンネルMOSトランジスタQp2を有するドライバ回路であり、また、12Acは水平電源線5にハイレベルの電位VR(H)を供給

するための第1の電源線、12Adは上記水平電源線5にローレベルの電位VL(L)を供給するための第2の電源線、12Aeは上記水平電源線5にミドルレベルの電位VL(M)を供給するための第3の電源線を示し、ここで、上記第3の電源線12Aeのミドルレベルの電位VL(M)は、リセット用MOSトランジスタ4のしきい値以上の信号読み出しにおける電源電圧に設定されている。

【0029】また、図6は実施例2の動作を説明するためのタイミングチャートであり、図7は実施例2の動作を説明するためのリセット用MOSトランジスタ4の断面模式図とポテンシャルフローチャートを示すもので、以下、図6及び図7を参照して実施例2に係るイメージセンサの動作を説明する。なお、図6において、期間1Hは通常のテレビ方式における1水平期間であって、期間H-BLKは水平帰線期間、期間Read-outは信号読出期間に相当する。また、クロックV1およびクロックH1は、それぞれ垂直走査回路12および水平走査回路11に供給されるクロックを模式的に表している。また、図7において、(A)はリセット用MOSトランジスタ4の断面模式図で、リセット用MOSトランジスタ4のゲート4aとドレイン4bは水平電源線5に接続され、ソース領域は光電変換素子1になっている。また、4cは基板を示している。

【0030】今、図6においては、従来例と同様に動作する。すなわち、時刻T2において、水平電源線5の電位がハイレベルになると、光電変換素子1のポテンシャル電位φppは、 $\phi_{pp} = V_L(H) - V_{thr}(H)$ にリセットされる(図7(D)参照)。そして、時刻T3より実施例1と同様に、蓄積モードに入る(図7(C)参照)。この時、リセット用MOSトランジスタ4のゲート4aのポテンシャル電位は、 $V_L(L) > V_{thr}(O)$ となるように、VLで示される水平電源線5のローレベルの電位に設定される。この実施例2では、 $V_L(L) = V_L(M)$ とした。ミドルレベルVL(M)は、時刻T0、T1時の信号読出における電源電圧である。

【0031】すなわち、図1に示されるように、水平電源線6の電位は、ドライバ回路12Abによって、シフトレジスタ12Aaのn+1番目のシフトパルスに反転したタイミングで、第1の電源線12Acのハイレベルの電位VL(H)と第3の電源線12Aeのミドルレベルの電位VL(M)となり、蓄積モード時は、第3の電源線12Aeによって設定されたミドルレベルの電位VL(M)、つまりリセット用MOSトランジスタ4のしきい値電圧以上の信号読出における電源電圧がリセット用MOSトランジスタ4のゲートに印加される。

【0032】従って、 $\phi_{pp} > V_L(L) - V_{thr}(\phi_{pp})$ の時は、リセット用MOSトランジスタ4はカットオフし、通常の蓄積動作が行われる。 $\phi_{pp} < V_L(L) - V_{thr}(\phi_{pp})$ となると、リセット用MOSトランジスタ4はONし、ドレイン4bへ過剰電荷は引き抜かれ、リセット用MOSトランジスタ4がオーバーフロードレインとして働く(図7(C)及び図6に示す時刻T4参照)。

(L) - $V_{thr}(\phi_{pp})$ となると、リセット用MOSトランジスタ4はONし、ドレイン4bへ過剰電荷は引き抜かれ、リセット用MOSトランジスタ4がオーバーフロードレインとして働く(図7(C)及び図6に示す時刻T4参照)。

【0033】ここで、光電変換素子1の最大蓄積電荷量Qmaxは、

$$\{ (V_L(H) - V_{thr}(H)) - (V_L(M) - V_{thr}(M)) \} / C_{pd}$$

で決まる。

$V_{thr}(H)$; $\phi_{pp} = V_R(H) - V_{thr}(\phi_{pp})$ を満たす $V_{thr}(\phi_{pp})$

【0034】従って、上記実施例2によれば、蓄積モード時に、光電変換素子1に直列接続したリセット用MOSトランジスタ4のゲートに、第3の電源線12Aeによって設定されたリセット用MOSトランジスタ4のしきい値電圧以上の電圧を印加するようにしたので、実施例1と同様に、蓄積期間中もリセット用MOSトランジスタ4をON状態にし、光電変換素子1で発生した過剰電荷をリセット用MOSトランジスタ4のソース側に引き抜くようにしてブルーミングを抑制し、広範囲の照度において良好な画像が得られる。

【0035】実施例3. この実施例3においては、図10と図4に示す実施例1と実施例2のリセット用MOSトランジスタ4をディプレッショントランジスタとすることにより、そのゲートに接続する電源線を不要にすることを図る。通常、MOSトランジスタのスレシホールド電圧Vth(O)は、ノイズマージン等を見込み、NMOSトランジスタの場合、 $V_{th}(O) > 0$ に設定されている。従って、図10と図2で示したように、リセット用垂直選択線9と水平電源線5のローレベルVR(L)とVL(L)は、それぞれ垂直選択線6のローレベル等とは別電源が必要であるが、 $V_{thr}(O) < 0$ 、つまりリセット用MOSトランジスタ4をディプレッショントランジスタにすれば、リセット用垂直選択線9と水平電源線5のローレベルVR(L)とVL(L)をグラウンドレベルにすることができ、その電源線を不要とすることができる。

【0036】実施例4. また、上記実施例1と2において、リセット用MOSトランジスタ4のスレシホールド電圧Vthr(O)は、他のMOSトランジスタのVth(O)より小さくても良いので、リセット用MOSトランジスタ4として、短チャネル効果等の効く最小のゲート長Lのものを使用とすることができ、この実施例4においては、上記実施例1と2におけるリセット用MOSトランジスタ4として、ゲート長が最小線幅のものを使用することにより、画素寸法の縮小を可能にすることができる。

【0037】実施例5. また、この実施例5においては、上記実施例1と2におけるリセット用MOSトランジスタ4のゲート長が最小線幅のものを使用することにより、画素寸法の縮小を可能にすることができる。

ジスタ4のチャネル濃度を基板またはウェルの濃度と等しくすることにより、リセットバラツキの低減効果を図るようにしている。すなわち、通常のMOSトランジスタの $V_{th}(O)$ は、マージンをもたせるため、イオン注入等により、ゲート下のアクセプタ濃度を基板（ウェル）濃度より濃くするが、 $V_{thr}(O)$ はマージンが不要であり、リセット用MOSトランジスタ4の $V_{thr}(O)$ は、基板（ウェル）濃度で決めることができ、基板（ウェル）濃度で決めることで、リセットバラツキを低減できる等の効果がある。

【0038】実施例6. なお、上記実施例1～5では、MOSトランジスタは、NMOSで構成した場合を示したが、PMOSでも良く、その場合、極性は反対になるが、同様の効果を奏する。

【0039】実施例7. 次に、図8はこの発明の別の実施態様を示すものである。図8において、14と15は画素混合用MOSトランジスタ、16は画素混合用垂直選択線（VT）を示し、図4に示した実施例2の画素を構成する回路要素1～6に、画素混合用MOSトランジスタ14を付加した第1グループと、光電変換素子1、画素混合用MOSトランジスタ15、画素混合用垂直選択線16からなる第2グループとを垂直方向に交互に配置した構成を備えている。

【0040】この回路構成では、蓄積後、画素混合用トランジスタ14（フィールド切り換え後は画素混合用トランジスタ15）をONし、第1と第2グループの光電変換素子1に蓄積された信号電荷を混合した後、実施例2と同様に信号を読み出し、リセット動作を行う。本実施態様においても、実施例2と同様に、蓄積時に $V_L > V_{thr}(O)$ となるように、水平電源線5のローレベルを設定することで、実施例1及び2と同様の効果を奏する。

【0041】

【発明の効果】以上のように、この発明の請求項1によれば、ソース領域を光電変換素子部としたリセット用の第1のMOSトランジスタと、上記光電変換素子部にゲートが接続された増幅読出用の第2のMOSトランジスタと、上記第2のMOSトランジスタに直列に接続された画素選択用の第3のMOSトランジスタとを有する画素を複数備えた固体撮像素子において、上記光電変換素子部の電荷蓄積時に、リセット用の第1のMOSトランジスタのゲートに該MOSトランジスタのしきい値以上の電圧を印加する走査手段を備えたので、上記光電変換素子部をリセットするための第1のMOSトランジスタを蓄積期間中もON状態にし、光電変換素子部で発生した過剰電荷をリセット用の第1のMOSトランジスタのソース側より引き抜くようにしてブルーミングを抑制することができ、広範囲の照度において良好な画像を得ることができるという効果がある。

【0042】また、請求項2によれば、上記第1のMOS

トランジスタをディプレッショントランジスタで構成することにより、ゲートに印加する電圧をグランドレベルにすることができ、その電源線を不要とすることができるという効果がある。

【0043】また、請求項3によれば、上記第1のMOSトランジスタのチャネル濃度を基板またはウェルの濃度と等しくすることにより、しきい値電圧をその濃度で決めることができ、リセットばらつきを低減させることができるという効果がある。

【0044】さらに、請求項4によれば、上記第1のMOSトランジスタのゲート長を最小線幅で構成することにより、画素寸法を縮小させることができるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施例1に係る固体撮像素子を説明するためのもので、垂直走査回路12内のリセット用垂直選択線9の出力部の回路構成図である。

【図2】 この発明の実施例1に係る固体撮像素子の動作を説明するタイミングチャートである。

【図3】 この発明の実施例1に係る固体撮像素子の断面模式図及びポテンシャルフロー図である。

【図4】 この発明の実施例2に係る固体撮像素子を説明するためのもので、1画素の回路構成図である。

【図5】 この発明の実施例2に係る固体撮像素子を説明するためのもので、図4に示す垂直走査回路12A内の水平電源線5の出力部を示す回路構成図である。

【図6】 この発明の実施例2に係る固体撮像素子の動作を説明するタイミングチャートである。

【図7】 この発明の実施例1に係る固体撮像素子の断面模式図及びポテンシャルフロー図である。

【図8】 この発明の実施例7に係るもので、実施例2の画素を構成する回路に、画素混合用MOSトランジスタを付加した第1グループと、光電変換素子と画素混合用MOSトランジスタ及び画素混合用垂直選択線からなる第2グループとを垂直方向に交互に配置した適用例の構成図である。

【図9】 この発明及び従来例に係る増幅読出型固体撮像素子を示す回路図である。

【図10】 この発明の実施例1及び従来例に係る固体撮像素子の1画素の回路構成図である。

【図11】 従来例に係る固体撮像素子の動作を説明するタイミングチャートである。

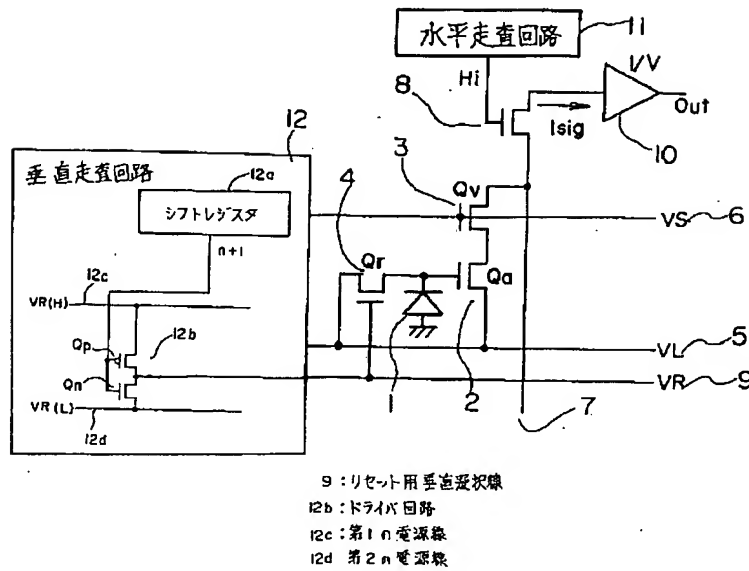
【符号の説明】

1 光電変換素子、2 増幅読出用MOSトランジスタ、3 画素選択用MOSトランジスタ、4 リセット用MOSトランジスタ、5 水平電源線、6 垂直選択線、7 垂直信号線、9 リセット用垂直選択線、12 垂直走査回路、12a シフトレジスタ、12b ドライバ回路、12c 第1の電源線、12d 第2の電源線、12A 垂直走査回路、12Aa シフトレジスタ

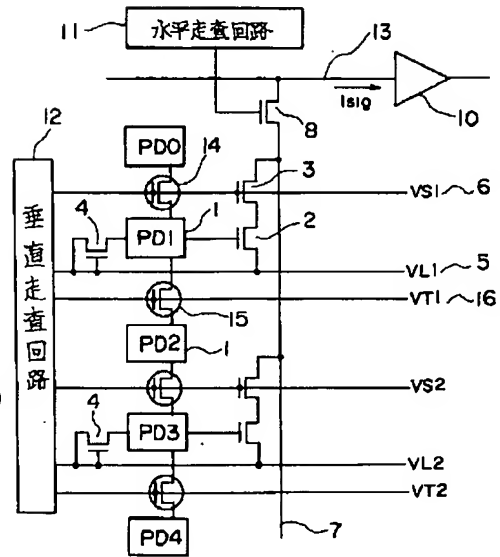
タ、12Ab ドライバ回路、12Ac 第1の電源

線、12Ad 第2の電源線、12Ae 第3の電源線

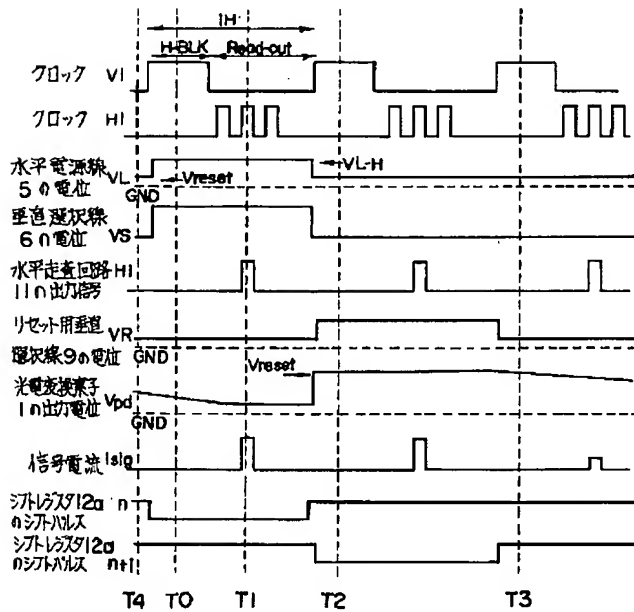
【図1】



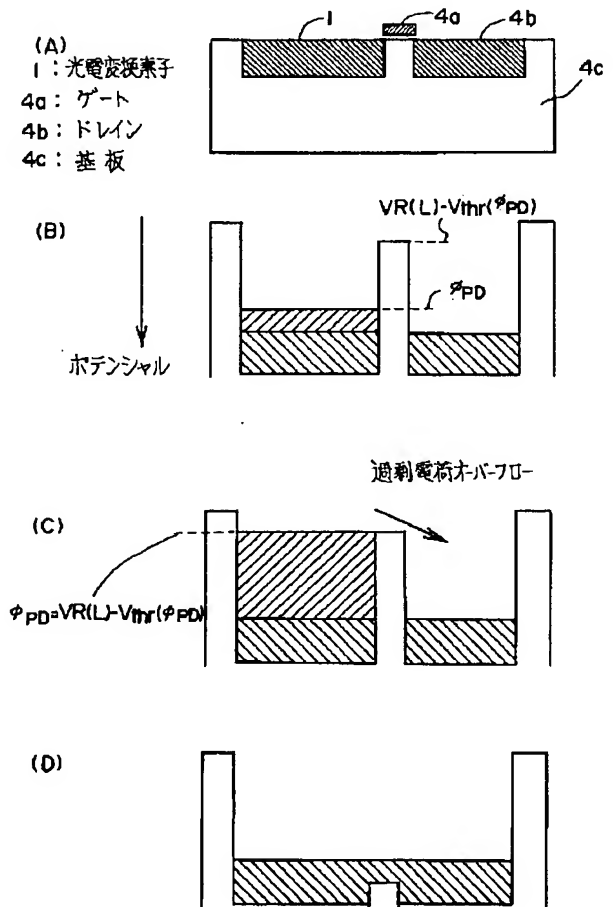
【図8】



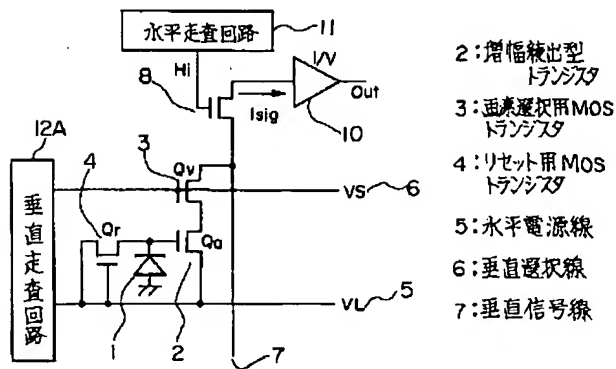
【図2】



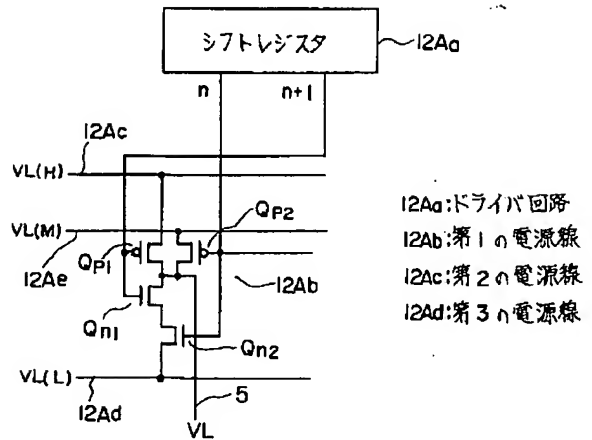
【図3】



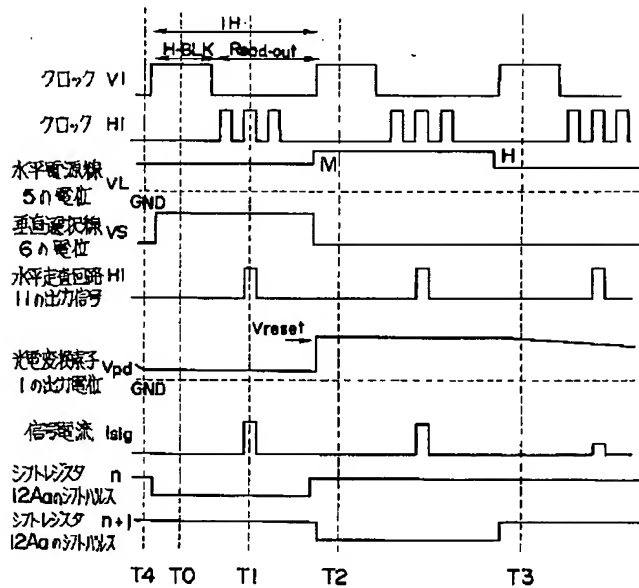
【図4】



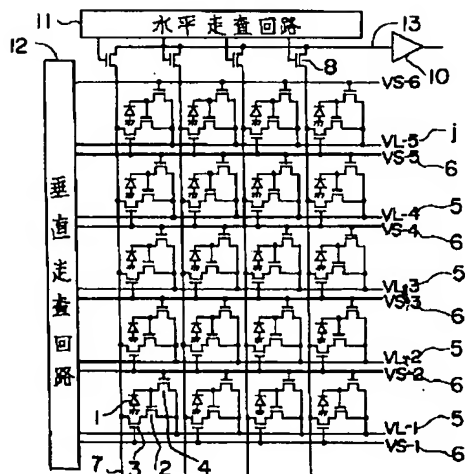
【図5】



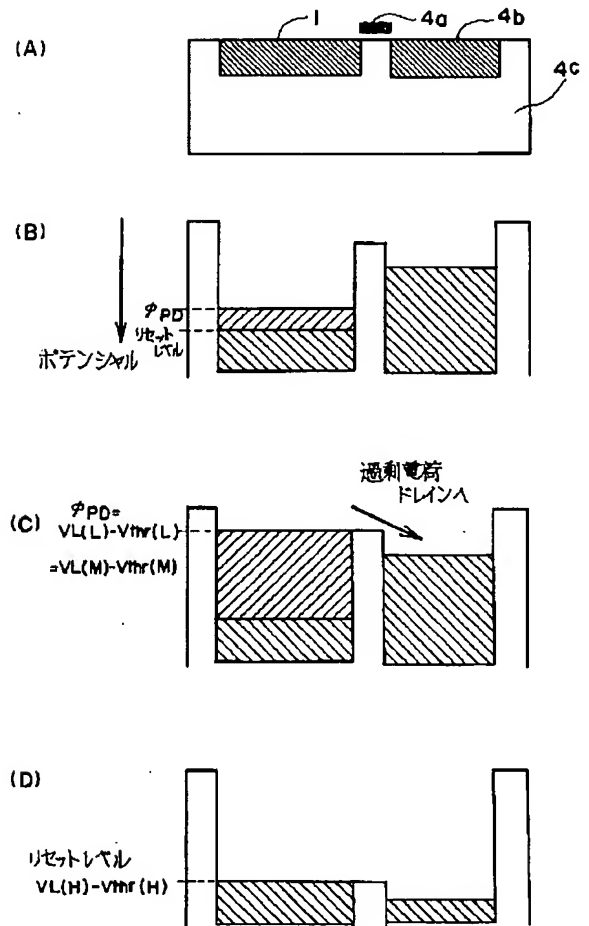
【図6】



【図9】



【図7】



The timing diagram illustrates the relationship between several signals during the operation of the 78C02C device. The horizontal axis represents time, with vertical dashed lines marking points T0, T1, T2, and T3. The signals shown are:

- クロック VI (Clock VI):** A periodic square wave signal.
- クロック HI (Clock HI):** A periodic square wave signal, phase-shifted relative to VI.
- 水平電源線 5 の電位 VL (Horizontal power supply line 5 voltage VL):** Shows a reset pulse labeled V_{reset} and a high level labeled $VL\ H$. A horizontal double-headed arrow labeled $H-BLK$ and $Read-out$ spans the period between T0 and T2.
- 垂直選択線 6 の電位 VS (Vertical selection line 6 voltage VS):** A square wave signal that transitions from high to low at T0 and back to high at T2.
- 水平走査回路 HI の出力信号 (Horizontal scanning circuit HI output signal):** A series of narrow pulses occurring at T0, T1, T2, and T3.
- リセット用垂直選択線 9 の電位 (Reset vertical selection line 9 voltage):** A signal that transitions from low to high at T0 and remains high until T2.
- 光電変換素子 1 の出力電位 (Photodiode 1 output voltage):** Shows a reset pulse labeled V_{reset} and a gradual decay from a high level.
- 信号電流 Isig (Signal current Isig):** A series of narrow pulses occurring at T0, T1, T2, and T3.

(72)発明者 川島 光
伊丹市瑞原4丁目1番地 三菱電機株式会
社ユー・エル・エス・アイ開発研究所内

(72)発明者 村田 直文
伊丹市瑞原4丁目1番地 三菱電機株式会
社ユー・エル・エス・アイ開発研究所内